



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1541619 A1

(51) 5 G 06 F 12/00

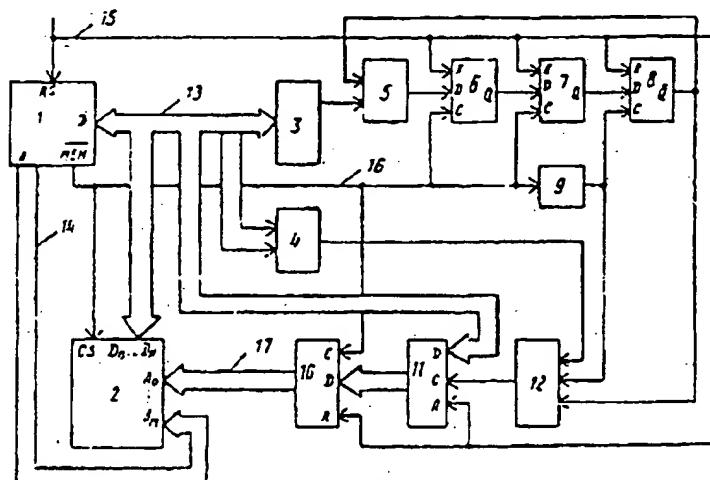
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГПНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ
ПАТЕНТНАЯ БИБЛИОТЕКА

(21) 4431901/24-24
(22) 30.05.88
(46) 07.02.90, Бюл. № 5
(72) К.Г. Семенов, И.М. Сидоров,
А.И. Жданов, Г.В. Кухарь и В.И. Поте-
пенко
(53) 681.32 (086.8)
(55) Авторское свидетельство СССР
№ 1388877, кл. С 06 F 12/00, 1986.
Авторское свидетельство СССР
№ 1160409, кл. G 06 F 9/36, 1984.
(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АЛ-
РЕСА
(57) Изобретение относится к вычис-
лительной технике и может быть исполь-

зовано в системах с расширенным объ-
емом памяти. Цель изобретения - по-
вышение быстродействия. Устройство
содержит микропроцессор 1, блок 2 па-
мяти, дешифраторы 3 и 4, элемент И-5,
триггеры 6-8, элемент И-НЕ 9, регистры
10 и 11, элемент И-НЕ 12, информа-
ционный вход-выход 13, адресный вы-
ход 14 микропроцессора, вход 15 нач-
альной установки, вход 16 синхрони-
зации команд и данных, выход 17 адре-
са страницы памяти устройства. Постав-
ленная цель достигается за счет ап-
паратной реализации переключения стра-
ниц памяти. 2 ил.



(19) SU (11) 1541619 A1

FH 009069

Изобретение относится к устройствам вычислительной техники и может быть использовано при создании систем обработки данных с расширенным объемом адресного пространства.

Цель изобретения - повышение быстродействия.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 - формат команды микропроцессора.

Устройство содержит микропроцессор 1, блок 2 памяти, дешифраторы 3 и 4, элемент И 5, триггеры 6-8, элемент И-НЕ 9, регистры 10 и 11, элемент И-НЕ 12, информационный вход-выход 13 устройства, адресный выход 14 микропроцессора, вход 15 начальной установки устройства, вход 16 синхронизации команд и данных устройства, выход 17 адреса страницы памяти устройства.

На фиг. 2 приведены обозначения: А - структура первого слова; В - структура второго слова; Х - значение разряда, которое определяется кодом команды перехода; З - разряд, значение которого не используется при декодировании микропроцессором кода операции команд переходов.

Работу устройства рассматривают на примере использования микропроцессора типа TMS 32010. Цепи синхронизации и выбора режима работы микропроцессора не показаны.

Устройство работает следующим образом.

Устройство работает в двух режимах: переключения страниц памяти и блокировки ложного срабатывания (по переключению страниц).

Режим переключения страниц. В устройстве переключение страниц происходит одновременно с выполнением микропроцессором одной из команд перехода: B, BANZ, BEZ, BGZ, BICZ, BLEZ, BLZ, BNZ, BV, BZ.

Все команды перехода микропроцессора являются двухсловными: первое слово (А) представляет собой код операции (КОП) команды перехода, а второе (В) - операнд, являющийся адресом перехода.

Для организации многостраничной памяти используется общая для всех команд переходов структура первого слова А, для старших разрядов слова А, различных единицде, выступают идентификатором всех команд перехода, кроме той

5 го, значение младшего байта слова А (разряды 0-7) является безразличным для используемого микропроцессора при выполнении команд перехода. Это позволяет использовать содержимое младшего байта слова А в качестве адреса страницы блока памяти (например, при использовании байта можно организовать память на 256 страниц объемом до 4К слов каждая).

10 Работа устройства начинается с поступления сигнала сброса (например, от кнопки) по входу 15 на входы установки триггеров 6-8, регистра 10 и 11 и микропроцессора 1. При этом на выходе регистра 10 устанавливается нулевой адрес, выбирающий нулевую страницу блока 2 памяти.

15 При считывании микропроцессором 1 из памяти посредством сигнала ИЕН команды перехода, код этой команды устанавливается на входе-выходе 13 (фиг. 1). Одновременно с этим происходит дешифрование двух старших разрядов (14 и 15) выхода-выхода 13 дешифратором 4, изпульс высокого уровня с выхода дешифратора 4 поступает на элемент И-НЕ 12, где стробируется 20 инверсным сигналом с выхода элемента ИНЕ. В результате этого на выходе элемента И-НЕ 12 формируется импульс записи для регистра 11. По заднему фронту этого импульса в регистр 11 25 произведется запись адреса следующей страницы.

30 Регистр 10 задерживает на один такт сигнала ИЕН момент переключения страниц блока 2 памяти; так как команда перехода двухсловные, необходимо исключить переключение страницы до момента считывания второго слова команды перехода.

35 После установки на входе-выходе 13 кода команды перехода и последующего считывания микропроцессором адреса перехода происходит переключение страниц блока памяти в соответствии с предварительно закодированным адресом страницы памяти в младшем байте КОП команды перехода.

40 Режим блокировки ложного срабатывания. Ложное переключение страниц блока 2 памяти может произойти при появлениях на входе-выходе 13 информации, имеющей в двух старших разрядах логические "1" (за исключением выполнения микропроцессором команды перехода).

Такая информация может появиться на входе-выходе 13 при выполнении микропроцессором следующих команд: считывания (TBLR), записи (TBLW), ввода/вывода (IN и OUT).

Рассмотрим режим блокировки для каждой из перечисленных команд.

Команда TBLR. При считывании из памяти посредством сигнала MEN 16 микропроцессором команда TBLR ход этой команды устанавливается на входе-выходе 13 (фиг. 1). Одновременно с этим дешифратор 3 дешифрует КОП команды TBLR и формирует на выходе импульс положительной полярности.

Выше того, что перед началом работы сигналом с входа 15 все устройства устанавливаются в исходное состояние, с выхода триггера 8 из входа элемента И 5 приходит сигнал, разрешающий прохождение через элемент И 5 сформированного на выходе элемента 3 импульса на вход триггера 6. Запись этого импульса производится по сигналу MEN 16. Выше того, что выполнение команды TBLR занимает три машинных цикла работы процессора и информация устанавливается на входе-выходе 13 только в третьем цикле, то необходимо задержать сигнал, сформированный при дешифрации КОП команды TBLR на два машинных цикла. Это реализуется триггерами 6 и 7. Триггер 8 формирует импульс отрицательной полярности, стробируемый инверсным сигналом НЕК с выхода элемента ИФ, который, поступая на элемент И-НЕ 12, запрещает ложное переключение страниц от импульса, возникающего на выходе дешифратора.

Кроме того, сформированный импульс на инверсном выходе триггера 8 (фиг. 3, поз. С1) запрещает также дальнейшее прохождение ложного импульса с выхода дешифратора 3, возникающего в случае совпадения считываемой микропроцессором информации по команде TBLR с КОП команды TBLR.

Команды TBLW, IN, OUT. Выполняющие команды (TBLW, IN, OUT) имеют общий признак: отсутствие сигнала MEN 16 при наличии информации (DAT) на входе-выходе 13. Сигнал MEN низким уровнем с выхода элемента ИЕ 9 (фиг. 5, поз. С2) запрещает прохождение ложного импульса с выхода дешифратора через элемент И-НЕ 12. При совпадении информации, возникающей на входе-выходе

Ф о р м у л а к з а о б р е т е н и я

Устройство для формирования адреса, содержащее для дешифратора, два регистра, триггер, элемент И, причем вход первого дешифратора является входом старшего байта информационного входа-выхода устройства, выход первого регистра подключен к информационному входу второго регистра, выход установки в "0" которого подключен к входу начальной установки устройства, выход элемента И подключен к информационному входу первого триггера, о т-25 г и ч а и т ь е е с я тем, что, с целью повышения быстродействия, в него включены два триггера, элемент ИИ и элемент И-НЕ, причем первый и второй старшие разряды информационного входа-выхода устройства подключены соответственно к первому и второму входам второго дешифратора, выход которого подключен к первому входу элемента И-НЕ, выход которого подключен к синхроходу первого регистра, информационный вход которого подключен к выходу младшего байта информационного входа-выхода устройства, выход второго регистра подключен к выходу адреса страницы памяти устройства, выход начальной установки устройства подключен к выходам установки в "0" первого, второго и третьего триггеров и входу установки в "0" первого регистра, вход синхронизации команд и данных устройства подключен к синхроходам первого и второго триггеров, синхро входу второго регистра и через элемент ИЕ - к синхроходу третьего триггера и второму входу элемента И-НЕ, третий вход которого подключен к выходу третьего триггера и синхронизирован с первым входом элемента И, второй вход которого подключен к выходу первого дешифратора, выход первого триггера подключен к информационному входу второго триггера, выход которого подключен к информационному входу третьего триггера.

Annex 18

SU No 1541619, published February 07, 1990

Specification of Invention to Certificate of Authorship 1541619 A1

[21] 4431901/24-24

[19] SU [11] 1541619 A1

[22] Filed. May 30, 1988

[51] Int. Cl. G 06 F 12/00

[46] Feb. 07, 1990, Bulletin No 5

[72] Inventors: K.G. Semenov, N.M. Sidorenko, A.I. Zhdanov, G.V. Kukhar
and V.I. Potapenko

[53] UDC 681.32 (088.8)

[54] A DEVICE FOR GENERATING AN ADDRESS

[57] The invention relates to the computer engineering and may be used in the mass storage systems. An object of the invention is in improving the speed. The device comprises microprocessor 1, memory unit 2, decoders 3 and 4, element AND 5, triggers 6 – 8, element NO 9, registers 10 and 11, element AND/NO 12, information input/output 13, microprocessor address output 14, setting input 15, command/data clocking input 16, device memory page address output 17. The object is achieved by switching a memory page by hardware.

Legend in Fig. 2 is as follows:

A – the first word structure; B – the second word structure; X – a bit value to be determined by the transfer code; Z – the bit, value of which is not used in decoding the transfer operation code by the microprocessor.

The device has two modes of operation: memory page switching and misoperation (in switching pages) locking.

Fig. 2

Transfer identifier
Transfer code
Page address
Program memory address

FH 009072